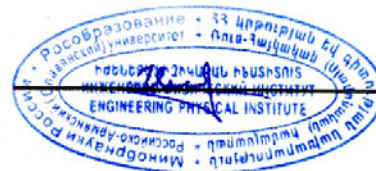


**ГОУ ВПО РОССИЙСКО-АРМЯНСКИЙ (СЛАВЯНСКИЙ)
УНИВЕРСИТЕТ**

Составлен в соответствии с
государственными требованиями к
минимуму содержания и уровню
подготовки выпускников по
направлению Электроника и
наноэлектроника и Положением «Об
УМКД РАУ».

УТВЕРЖДАЮ:

Директор ИФИ Саркисян А.А.



21.07.2023г.

Институт: Инженерно-физический

Кафедра: Микроэлектронные схемы и системы

Автор: Григорян Гурген Давидович

УЧЕБНО-МЕТОДИЧЕСКИЙ КОМПЛЕКС

**Дисциплина: Б1.О.04 «Тестопригодное проектирование
микроэлектронных средств»**

Направление: 11.04.04 «Электроника и наноэлектроника»

**Основная образовательная программа магистратуры:
«Микроэлектронные схемы и системы»**

ЕРЕВАН

Структура и содержание УМКД

1. Аннотация

1.1. Выписка из ФГОС ВО РФ по минимальным требованиям к дисциплине

В результате изучения дисциплины «Тестопригодное проектирование микроэлектронных средств» обучающийся должен:

- **знать:** методы обеспечения тестопригодности на этапе проектирования микроэлектронных средств;
- **уметь:** проектировать тестопригодные микроэлектронные средства;
- **владеть:** навыками разработки микроэлектронных средств, с возможностями удобного тестирования.

1.2. Взаимосвязь дисциплины с другими дисциплинами учебного плана специальности (направления)

Дисциплина «Тестопригодное проектирование микроэлектронных средств» тесно взаимосвязан с такими дисциплинами учебного плана, как «Проектирование электронных систем смешанного сигнала», «Макетирование микроэлектронных средств», «Передовые методы проектирования интегральных схем».

1.3. Требования к исходным уровням знаний, умений и навыков студентов для прохождения дисциплины (что должен знать, уметь и владеть студент для прохождения данной дисциплины)

Для прохождения данной дисциплины студент должен

- **знать:** основы практики проектирования цифровых интегральных схем;
- **уметь:** проектировать микроэлектронные средства на логическом уровне;
- **владеть:** навыками автоматизированного проектирования, способами моделирования цифровых схем.

1.4. Предварительное условие для прохождения (дисциплина(ы), изучение которых является необходимой базой для освоения данной дисциплины)

Для освоения дисциплины «Тестопригодное проектирование микроэлектронных средств» студент должен владеть знаниями следующих дисциплин: «Тестирование интегральных схем», «Логическое проектирование электронных средств», «Проектирование цифровых интегральных схем».

2. Содержание

2.1. Цели и задачи дисциплины

Изучение основ теории и методов проектирования, анализа и моделирования удобных к тестированию и самотестируемых микроэлектронных схем и систем.

2.2. Требования к уровню освоения содержания дисциплины (какие компетенции (знания, умения и навыки) должны быть сформированы у студента после прохождения данной дисциплины)

В результате освоения данной дисциплины у студента должны быть сформированы следующие компетенции:

универсальные компетенции (УК):

- способен управлять проектом на всех этапах его жизненного цикла (УК-2)

общепрофессиональные компетенции (ОПК):

- способен приобретать и использовать новую информацию в своей предметной области, предлагать новые идеи и подходы к решению инженерных задач (ОПК-3)

2.3. Трудоемкость дисциплины и виды учебной работы (в академических часах и кредитах)

2.3.1. Объем дисциплины и виды учебной работы

Виды учебной работы	Всего, в акад. часах
1. Общая трудоемкость изучения дисциплины по семестрам, в т. ч.:	180/5кред
1.1. Аудиторные занятия, в т. ч.:	
1.1.1. Лекции	34
1.1.2. Практические занятия	18
1.2. Самостоятельная работа, в т.ч.:	84
Итоговый контроль <u>Экзамен</u>	44

2.3.2. Распределение объема дисциплины по темам и видам учебной работы

Разделы и темы дисциплины	Всего (ак. часов)	Лекции (ак. часов)	Практ. зан. (ак. часов)
1	2	3	4
Модуль 1.			
Введение. Цели тестопригодного проектирования	2	2	
Тема 1.1. Важность тестирования. Процедура тестирования в процессе проектирования и производства микроэлектронных средств	3	3	
Тема 1.2. Последовательное тестирование	6	4	2
Тема 1.3. Полное и частичное последовательное тестирование	6	4	2
Тема 1.4. Встроенное самотестирование (Built-in-Self-Test (BIST)). Архитектура встроенного самотестирования	8	4	4
Модуль 2.			
Тема2.1. Внутрисистемное тестирование/граничное сканирование(Boundary Scan). JTAG-стандарт (IEEE 1149.1)	6	4	2
Тема2.2. Языки описания тестирования	5	3	2
Тема2.3.Регистры и команды граничного сканирования	7	5	2
Тема2.4. Маршрут тестопригодного проектирования микроэлектронных средств (DFT - Design for Testabilit)	9	5	4
ИТОГО	52	34	18

2.3.3 Содержание разделов и тем дисциплины

Основные разделы:

- цели тестопригодного проектирования;
- процедура тестирования в процессе проектирования и производства микроэлектронных средств;
- последовательное тестирование;
- алгоритмы автоматизированной генерации тестов;
- полное и частичное последовательное тестирование;
- процесс разработки системы последовательного тестирования;
- архитектура встроенного самотестирования;
- JTAG-стандарт (IEEE 1149.1);
- языки описания тестирования;
- маршрут тестопригодного проектирования микроэлектронных средств.

Модуль 1.

Введение. Цели тестопригодного проектирования.

Тема 1.1. Важность тестирования. Процедура тестирования в процессе проектирования и производства микроэлектронных средств.

Тема1.2.Последовательное тестирование.

Автоматическая генерация тестовых векторов. Процесс разработки системы последовательного тестирования.

Тема1.3. Полное и частичное последовательное тестирование.

Посторонние эффекты при последовательном тестировании.

Тема1.4. Встроенное самотестирование (Built-in-Self-Test (BIST)). Архитектура встроенного самотестирования.

Генерация тестовых векторов. Регистр сдвига с линейной обратной связью (LFSR).

Модуль 2.

Тема2.1. Внутрисистемное тестирование/граничное сканирование(Boundary Scan).

JTAG-стандарт (IEEE 1149.1).Применение граничного сканирования для тестирования печатных плат.

Тема2.2. Языки описания тестирования.

Язык описания граничного сканирования (BoundaryScanDescriptionLanguage (BSDL)).

Порттестирования (ТАР — Test Access Port). Контроллер ТАР.

Тема 2.3. Регистры и команды граничного сканирования.

Регистр команд. Регистр данных. Граф состояний ТАР контроллера. Использование ТАР для тестирования внутренних схем в ИС.

Тема 2.4. Маршрут тестопригодного проектирования микросредств (DFT - Design for Testability). Реализация тестопригодного проектирования ИС.

2.4. Материально-техническое обеспечение дисциплины

Аудитория для проведения практических занятий по предмету “Тестопригодное проектирование микросредств” обеспечена персональными компьютерами с установленным на них необходимым пакетом программных инструментов компании Synopsys. Необходимая учебно-методическая литература доступна в библиотеке учебного центра.

2.5. Распределение весов по модулям и формам контроля

	Вес формы текущего контроля в результирующей оценке текущего контроля			Вес формы промежуточного контроля и результирующей оценки текущего контроля в итоговой оценке промежуточного контроля			Вес итоговых оценок промежуточных контролей в результирующей оценке промежуточного контроля	Вес оценки результирующей оценки промежуточных контролей и оценки итогового контроля в результирующей оценке итогового контроля
	M1	M2	M3	M1	M2	M3		
Вид учебной работы/контроля								
Контрольная работа		1	1		1	1		
Лабораторные работы								
Устный опрос								
Вес результирующей оценки текущего контроля в итоговых оценках промежуточных контролей								
Вес итоговой оценки 1-го промежуточного контроля в результирующей оценке промежуточных контролей								
Вес итоговой оценки 2-го промежуточного контроля в результирующей оценке промежуточных контролей							0.5	
Вес итоговой оценки 3-го промежуточного контроля в результирующей оценке промежуточных контролей т.д.							0.5	
Вес результирующей оценки промежуточных контролей в результирующей оценке итогового контроля								0.4
Экзамен(оценка итогового контроля)								0.6
			$\Sigma = 1$			$\Sigma = 1$	$\Sigma = 1$	$\Sigma = 1$

3. Теоретический блок

3.1. Материалы по теоретической части курса

3.1.1. Учебники

1. D. Gizopoulos. *Advances in Electronic Testing: Challenges and Methodologies*. Springer; 2014
2. M. Onabajo, J. Silva-Martinez. *Analog Circuit Design for Process Variation-Resilient Systems-on-a-Chip*. Springer; 2014
3. N.Weste, D. Harris. *CMOS VLSI Design: A Circuits and Systems Perspective*, 4th edition; 2010
4. M. Abramovici, M.A. Breuer, A.D. Friedman. *Digital Systems Testing and Testable Designs*; 2000

4. Практический блок

4.1. Планы практических занятий

1. Исследование процесса автоматизации тестопригодного проектирования (DFT).
2. Автоматическая генерация тестовых векторов при последовательном тестировании.
3. Исследование встроенного самотестирования (BIST).
4. Исследование последовательного тестирования.

Во время практических занятий используются следующие программные инструментальные средства: VCS, DC, DesignVision, TetraMax, PC, PT.

5. Материалы по оценке и контролю знаний

5.1. Перечень экзаменационных вопросов

1. Последовательное тестирование
2. Автоматическая генерация тестовых векторов
3. Полное и частичное последовательное тестирование
4. Встроенное самотестирование (BIST)
5. Регистр сдвига с линейной обратной связью (LFSR)
6. Граничное сканирование (Boundary Scan)
7. JTAG-стандарт (IEEE 1149.1)
8. Язык описания граничного сканирования (BSDL)
9. Контроллер TAP. Граф состояний TAP контроллера
10. Регистры и команды граничного сканирования
11. Маршрут тестопригодного проектирования микроэлектронных средств (DFT).